(19)日本国特許庁(JP)

# (12) 公開特許公報(A)

(11)特許出願公開番号

# 特開平5-206219

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.5

識別記号

庁内整理番号

FΙ

技術表示箇所

H 0 1 L 21/603

B 6918-4M

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号

(22)出願日

特願平3-150700

平成3年(1991)6月24日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 髙橋 義和

東京都港区虎ノ門1丁目7番12号 沖電気

工業株式会社内

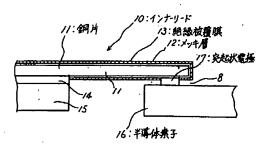
(74)代理人 弁理士 清水 守 (外3名)

# (54)【発明の名称】 半導体装置の製造方法

### (57)【要約】

【目的】 インナリードのメッキ表面を、絶縁被覆膜で 覆うことにより、インナリードと半導体素子が接触して も、電気的短絡不良にならないようにする。

【構成】 フィルムキャリア方式パッケージのインナリ ード10のメッキ表面を、絶縁被覆膜13で覆うことに より、半導体素子16をボンディングした場合、ボンデ ィングツールの熱、荷重により、インナリード10のボ ンディング部のみ絶縁被覆膜13が溶け上がり、半導体 素子16の突起状電極17と接合され、そのボンディン グ部以外は、絶縁被覆膜13で覆われるために、インナ リード10による半導体素子16の短絡やインナリード 10間の接触による電気的不良を防止することができ る。



05/06/2004, EAST Version: 1.4.1

1

# 【特許請求の範囲】

【請求項1】(a)フィルムキャリア方式パッケージの インナリード部全面に絶縁コートする工程と、(b)該 絶縁コートされたインナリード部と、半導体素子の電極 とを熱圧着して接続する工程とを施すことを特徴とする 半導体装置の製造方法。

#### 【発明の詳細な説明】

#### [0001]

【産業上の利用分野】本発明は、半導体装置の製造方法 に係り、特に、高密度実装技術に用いられているフィル 10 防止することができる。 ムキャリア方式パッケージのインナリード断面形状に関 するものである。

#### [0002]

【従来の技術】従来、このような分野の技術としては、 例えば以下に示すようなものがあった。 図4はかかる従 来のフィルムキャリア方式パッケージのインナリード断 面図である。

【0003】この図において、1は銅片、2は銅片表面 のメッキであり、半田、金、錫が選択可能である。4は エポシキ等が挙げられる。3は接着剤であり、銅片1と 絶縁性材料4を貼り合わせるために用いられている。次 いで、図5は従来の半導体素子のフィルムキャリアへの 実装状態を示す断面図である。

【0004】図5において、6は半導体素子、7はその 半導体素子6の突起状電極であり、金、半田の2種類が ある。5は図2に示したインナリードであり、熱圧着に より突起状電極7と接合されている。8はインナリード と半導体素子の間隙である。

#### [0005]

【発明が解決しようとする課題】しかしながら、以上述 べたフィルムキャリアの断面構造では、半導体素子をボ ンディング終了後、インナリードと半導体素子の間隙8 が非常に狭くなった場合、あるいはインナリードと半導 体素子が接触した場合、短絡による電気的不良が発生す るという問題点があった。

【0006】本発明は、以上述べたインナリードと半導 体素子が接触し、短絡による電気的不良が発生するとい う問題を除去するため、インナリードのメッキ表面を、 絶縁被覆膜で覆うことにより、インナリードと半導体素 40 グ、ギャングボンディングのどちらでも可能である。 子が接触しても、電気的短絡不良にならない優れたフィ ルムキャリア方式による半導体装置の製造方法を提供す ることを目的とする。

# [0007]

【課題を解決するための手段】本発明は、上記目的を達 成するために、半導体装置の製造方法において、フィル ムキャリア方式パッケージのインナリード部全面に絶縁 コートする工程と、該絶縁コートされたインナリード部 と、半導体素子の電極とを熱圧着して接続する工程とを 施すようにしたものである。

#### [0008]

【作用】本発明によれば、フィルムキャリア方式パッケ ージのインナリードのメッキ表面を、絶縁被覆膜で覆う ことにより、半導体素子をボンディングした場合、ボン ディングツールの熱、荷重により、インナリードのボン ディング部のみ絶縁被覆膜が溶け上がり、半導体素子の 突起状電極と接合され、そのボンディング部以外は、絶 縁被覆膜で覆われるために、インナリードによる半導体 素子の短絡やインナリード間の接触による電気的不良を

2

#### [0009]

【実施例】以下、本発明の実施例について図面を参照し ながら詳細に説明する。図1は本発明の実施例を示すフ ィルムキャリア方式の半導体装置の要部断面図、図2は そのフィルムキャリア方式パッケージのフィルムキャリ ア断面図である。

【0010】これらの図に示すように、10はインナリ ード、11は銅片、12は銅片表面のメッキ層であり、 半田、金、錫が選択可能である。13は銅片表面のメッ 絶縁性材料であり、ポリイミド、ポリエステル、ガラス 20 キ層12のメッキ表面を覆った絶縁被覆膜であり、被膜 材質としてはポリウレタン、耐熱ポリウレタン、ホルマ ール等を用いることができる。15は絶縁性材料であ り、ポリイミド、ポリエステル、ガラスエポキシ等を用 いることができる。14は接着剤であり、銅片11と絶 縁性材料15とを貼り合わせるために用いられている。 【0011】このフィルムキャリアを使用して、図1に 示すように、半導体素子16をボンディングした場合、 ボンディングツールの熱、荷重により、インナリード1 0のボンディング部のみ絶縁被覆膜13が溶け上がり、 30 半導体素子16の突起状電極17と接合される。このよ うに構成するために、インナリード10と半導体素子1 6の間隙18が非常に狭くなった場合、あるいは、イン ナリード10と半導体素子16が接触した場合でも、短 絡による電気的不良の発生は無くなる。

> 【0012】また、図3に示すように、インナリード1 0が曲がり、隣合うインナリード10と接触しても、絶 縁被覆膜の形成により短絡を防止することができる。な お、図3において、19はデバイスホールである。ま た、ボンディング方式は、シングルポイントボンディン

> 【0013】なお、本発明は上記実施例に限定されるも のではなく、本発明の趣旨に基づいて種々の変形が可能 であり、これらを本発明の範囲から排除するものではな 11.

## [0014]

【発明の効果】以上、詳細に説明したように、本発明に よれば、フィルムキャリア方式パッケージのインナリー ドのメッキ表面を、絶縁被覆膜で覆うことにより、半導 体素子をボンディングした場合、ボンディングツールの 50 熱、荷重により、インナリードのボンディング部のみ絶 3

縁被覆膜が溶け上がり、半導体素子の突起状電極と接合され、そのボンディング部以外は、絶縁被覆膜で覆われるために、インナリードによる半導体素子の短絡やインナリード間の接触による電気的不良を防止することができる。

# 【図面の簡単な説明】

【図1】本発明の実施例を示すフィルムキャリア方式の 半導体装置の要部断面図である。

【図2】本発明の実施例を示すフィルムキャリア方式パッケージのフィルムキャリア断面図である。

【図3】本発明の効果を示すフィルムキャリア方式の半 導体装置の平面図である。

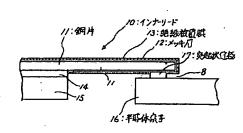
【図4】従来のフィルムキャリア方式パッケージのインナリード断面図である。

【図5】従来の半導体素子のフィルムキャリアへの実装 状態を示す断面図である。

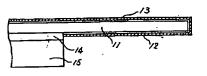
## 【符号の説明】

- 10 インナリード
- 11 銅片
- 12 銅片表面のメッキ層
- 13 絶縁被覆膜
- 14 接着剤
- 15 絶縁性材料
- 10 16 半導体素子
  - 17 突起状電極
  - 18 間隙
  - 19 デバイスホール

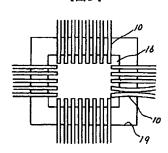
【図1】



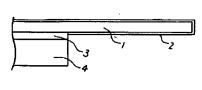
【図2】



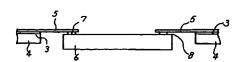
【図3】



【図4】



【図5】



PAT-NO:

JP405206219A

DOCUMENT-IDENTIFIER:

JP 05206219 A

TITLE:

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE:

August 13, 1993

INVENTOR-INFORMATION:

NAME

TAKAHASHI, YOSHIKAZU

ASSIGNEE-INFORMATION:

NAME

OKI ELECTRIC IND CO LTD

COUNTRY N/A

APPL-NO:

JP03150700

APPL-DATE:

June 24, 1991

INT-CL (IPC): H01L021/603

ABSTRACT:

PURPOSE: To prevent the short-circuit of a semiconductor element due to inner leads and electric troubles due to contact between the inner leads, by covering the plated surfaces of the inner leads of a film carrier system package with insulative coating films.

CONSTITUTION: The surface of a plated layer 12 of an inner lead 10 of a film carrier system package is covered with an insulative coating film 13. When the inner lead 10 is bonded to a semiconductor element 16, the insulative coating film 13 only at the bonding part of the inner lead 10 is melted up, and the inner lead 10 is bonded to a protruding type electrode 17

05/06/2004, EAST Version: 1.4.1

of a semiconductor element 16. Hence electric troubles due to short-circuit are not generated, when the gap between the inner lead 10 and the semiconductor element 16 is made very narrow, or even when the inner lead 10 comes into contact with the semiconductor element. When the inner lead 10 is bent and brought into contact with the adjacent inner lead 10, short-circuit can be prevented by forming the insulative coating film 13.

COPYRIGHT: (C) 1993, JPO&Japio

05/06/2004, EAST Version: 1.4.1